



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03257548 A**

(43) Date of publication of application: 18 . 11 . 91

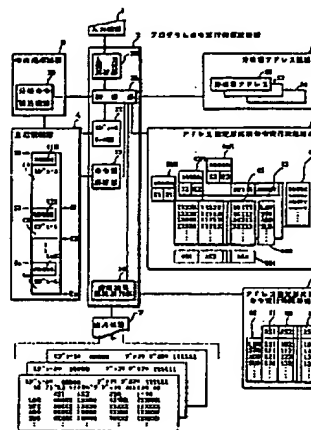
(51) Int. Cl. **G06F 11/34**(21) Application number: **02057010**(71) Applicant: **NEC CORP**(22) Date of filing: **07 . 03 . 90**(72) Inventor: **MURAKAMI KENICHI****(54) MEASUREMENT SYSTEM FOR INSTRUCTION EXECUTING FREQUENCY OF PROGRAM****(57) Abstract:**

PURPOSE: To attain the measurement of the program instruction executing frequency even with no knowledge of the program contents together with simplification of the measuring procedure and extreme reduction of the measuring time by making use a branch instruction interruption for measurement of the instruction executing frequency.

CONSTITUTION: A central controller 3 contains a branch instruction interruption mechanism 30 which holds a preference level, unbranched address, and a branched address before the first instruction is executed after the branch with execution of a branch instruction. A main storage 4 stores a program to be measured, and a branched address storage part 5 stores continuously the branched addresses corresponding to each preference level until the interruption of the next branch instruction. An address designation form-based executing frequency storage part 6 stores the instruction type-based and address designation form-based instruction executing frequencies for each module. Then an address designation form-based instruction execution time table 8 shows the type-based and address designation form-based instruction execution times. In such a constitution, a user can measure the program

instruction executing frequency even though the user does not know the program contents. Then the measuring procedure is simplified and the measuring time is shortened.

COPYRIGHT: (C)1991,JPO&Japio



This Page Blank (uspto)

Our Ref: OP1135-US

Prior Art Reference:

Japanese Patent Laid-Open Publication No. Hei 3-257548
Laid-Open Date: November 18, 1991
Title: SYSTEM FOR MEASURING THE NUMBER OF EXECUTIONS OF
PROGRAM INSTRUCTIONS
Patent Application No. Hei 2-57010
Filing Date: March 7, 1990
Inventor: Kenichi MURAKAMI
c/o Nippon Denki Kabushiki Kaisha
Minato-ku, Tokyo, Japan
Applicant: NIPPON DENKI KABUSHIKI KAISHA
Minato-ku, Tokyo, Japan

(Partial Translation)

Page 3, lower left column, line 6, to:
page 4, upper right column, line 9.

Next, an operation of the system for measuring the number of executions of program instruction of this embodiment configured as described above will be described.

First, assuming that the priority level of the object program to be measured, which consists of modules 41, 42,4n, is 1, the priority level number 1 and the range (S1 address and En address) of the object program to be measured are inputted from the input device 1.

The input information analysis section 20 notifies the control section 21 of this inputted priority level number 1 and the range of the object program to be measured. Upon receipt of the notice, the control section 21 puts the priority level number 1 in a branch instruction interruption mode and actuates the branch instruction interruption mechanism 30, and, at the same time, upon corresponding with the priority level number 1, the post-branch address (post-branch address 51) in the post-branch address storing section 5 is initialized with zero.

This Page Blank (uspto)

The range of the object program to be measured is notified to the module search section 22, whereupon the module search section 22 makes a search of modules in the range of from S1 address to En address, then, causes the module name (aaaaa, bbbbbb,nnnnn), the starting address (S1, S2,Sn) and the ending address (E1, E2, En) to be held in the module range information 61M, 62M, 6nM of the number of instruction executions storing section 6 per the respective addressing systems. At the same time, the stored information 61, 62m 6n of the number of instruction executions per the respective addressing systems, which respectively correspond to the module range information 61M, 62M,6nM, are initialized with zero.

Thereafter, the object program to be measured is actuated in the main memory unit 4 and the branch instruction is executed. Thereupon, the branch instruction interruption mechanism 30 of the central processing unit 3 generates the branch instruction interruption with the address of branch destination to operate the control section 21 of the number of program instruction executions measuring unit 2.

The control section 21, when it is notified by the branch instruction interruption mechanism 30 of the priority level number 1, the pre-branch address which is the address of the branch instruction itself in the object program to be measured, and the post-branch address which is the branch destination address indicated by this branch instruction, instructs, from the address indicating the content of the post-branch address 51 corresponding to the priority level number 1 stored in the post-branch address storing unit 5, the instruction word analyzing section 23 to analyze the instruction within the range up to the pre-branch address notified at the time of branch instruction interruption, and at the same time, the post-branch address notified at the time of notifying this branch instruction interruption is stored in the post-branch address 51 until the

This Page Blank (uspto)

time up to the next branch instruction interruption is given to the priority level number 1.

Thereafter, the instruction word analyzing section 23 analyzes the instruction within the range instructed by the control section 21, and this analysis result (according to the instruction types, and the number of different addressing systems) is added to each corresponding row 600 of different instruction types and to each corresponding column 601 of different addressing systems in the stored information of the number of instruction executions according to the addressing systems (when the analyzed range is from S1 address to E1 address, it corresponds to the stored information 61 of the number of instruction executions per addressing systems).

Note that the control section 21 performs, at the time of a first branch instruction interruption when the post-branch address 51 is initialized with zero, only storing the post-address notified by the branch instruction interruption mechanism 30 in the post-branch address 51, but not giving the analyzing instruction to the instruction word analyzing section 23.

After performing the above operation, the control section 21 instructs the branch instruction interruption mechanism 30 to resume the execution from the post-branch address in the object program 41 to be measured, and waits for the next branch instruction interruption.

/ / / / / / / / / / The End / / / / / / / / / /

This Page Blank (uspto)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-257548

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月18日

G 06 F 11/34

N

7165-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 プログラムの命令実行数測定方式

⑯ 特 願 平2-57010

⑰ 出 願 平2(1990)3月7日

⑱ 発 明 者 村 上 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

プログラムの命令実行数測定方式

特許請求の範囲

プログラムを構成する全モジュールの先頭部に当該モジュールの先頭を示し、且つ、そのモジュール名を含むモジュール先頭識別機構を有し、前記全モジュールの先頭アドレスと終了アドレスとモジュール名とを求めるため前記モジュール先頭識別機構をサーチするモジュールサーチ手段と、該モジュールサーチ手段によって得られた前記全モジュールの先頭アドレスと終了アドレスとモジュール名とを記憶するモジュール範囲情報記憶手段と、分岐命令の実行により分岐後最初の命令が実行される前に当該分岐命令を含むプログラムの走行の優先レベルと分岐命令自身のアドレスである分岐前アドレスと分岐命令の分岐先アドレスである分岐後アドレスとを保持して内部割込みを発生

生させ、且つ、該内部割込みが一個以上の前記優先レベル毎に発生できるような分岐命令割込み手段と、該分岐命令割込み手段の起動および停止を行なうための分岐命令割込みモード設定および解除手段と、前記優先レベルに対応させて前記分岐後アドレスを記憶する分岐後アドレス記憶手段と、分岐命令割込み時に前記分岐割込み手段から通知される前記分岐前アドレスと前記分岐後アドレス記憶手段により当該分岐命令割込みの一度前の分岐命令割込み時に記憶されていて当該分岐命令割込み時の前記優先レベルに対応する前記分岐後アドレスとで示される範囲に存在する命令を探索し、命令種別、且つ、アドレス指定形式別に命令の個数を解析する命令解析手段と、該命令解析手段による解析結果を命令種別、且つ、アドレス指定形式別に、且つ、当該探索対象となった命令を含むモジュール毎に対応させて累積して記憶するアドレス指定形式別命令数記憶手段と、命令種別、且つ、アドレス指定形式別に命令の実行時間を示すアドレス指定形式別命令実行時間対応情報を有し、

前記アドレス指定形式別命令数記憶手段による累積記憶結果と前記アドレス指定形式別命令実行時間対応情報とを基に前記モジュール毎の実行時間を算出するとともに、編集出力する測定結果編集出力手段とを含むことを特徴とするプログラムの命令実行数測定方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、情報処理システムに於けるプログラムの性能測定方式に関し、特にプログラムの命令実行数を測定する方式に関する。

〔従来の技術〕

従来、プログラムの性能の基準となるプログラムの命令実行数は、机上でプログラムの実行過程を予測しながら計算するか、ハードウェアモニタにより測定する方法が取られていた。

〔発明が解決しようとする課題〕

上記のように、机上でプログラムの実行過程を予測しながら計算する場合には、プログラムの内

容を良く理解していなければならない、また、プログラムの内容を良く理解した担当者であっても相当の時間を必要とした。他の、ハードウェアモニタにより測定する方法では、測定の準備が面倒なため、ソフトウェア担当者は一般に使用していないのが現状である。

〔課題を解決するための手段〕

本発明のプログラムの命令実行数測定方式の構成は、プログラムを構成する全モジュールの先頭部に当該モジュールの先頭を示し、且つ、そのモジュール名を含むモジュール先頭識別機構を有し、前記全モジュールの先頭アドレスと終了アドレスとモジュール名とを求めるため前記モジュール先頭識別機構をサーチするモジュールサーチ手段と、該モジュールサーチ手段によって得られた前記全モジュールの先頭アドレスと終了アドレスとモジュール名とを記憶するモジュール範囲情報記憶手段と、分岐命令の実行により分岐後最初の命令が実行される前に当該分岐命令を含むプログラムの走行の優先レベルと分岐命令自身のアドレ

スである分岐前アドレスと分岐命令の分岐先アドレスである分岐後アドレスとを保持して内部割込みを発生させ、且つ、該内部割込みが一個以上の前記優先レベル毎に発生できるように分岐命令割込み手段と、該分岐命令割込み手段の起動および停止を行なうための分岐命令割込みモード設定および解除手段と、前記優先レベルに対応させて前記分岐後アドレスを記憶する分岐後アドレス記憶手段と、分岐命令割込み時に前記分岐割込み手段から通知される前記分岐前アドレスと前記分岐後アドレス記憶手段により当該分岐命令割込みの一度前の分岐命令割込み時に記憶されていて当該分岐命令割込み時の前記優先レベルに対応する前記分岐後アドレスとで示される範囲に存在する命令を探索し、命令種別、且つ、アドレス指定形式別に命令の個数を解析する命令解析手段と、該命令解析手段による解析結果を命令種別、且つ、アドレス指定形式別に、且つ、当該探索対象となった命令を含むモジュール毎に対応させて累積して記憶するアドレス指定形式別命令数記憶手段と、

命令種別、且つ、アドレス指定形式別に命令の実行時間を示すアドレス指定形式別命令実行時間対応情報を有し、前記アドレス指定形式別命令数記憶手段による累積記憶結果と前記アドレス指定形式別命令実行時間対応情報とを基に前記モジュール毎の実行時間を算出するとともに、編集出力する測定結果編集出力手段とを含むことを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は、本発明のプログラムの命令実行数測定方式の一実施例のブロック図である。

本実施例のプログラムの命令実行数測定方式は、入力操作が行なわれる入力装置1と、入力情報解析部20と制御部21とモジュールサーチ部22と命令語解析部23と測定結果編集出力部24とを含むプログラム命令実行数測定装置2と、分岐命令の実行により分岐後最初の命令が実行される前に優先レベルと分岐前アドレスと分岐後アドレ

スとを保持して内部割込みを発生させる分岐命令割込機構30を含む中央処理装置3と、モジュール41, 42, ..., 4nから成る測定対象プログラムを記憶する主記憶装置4と、優先レベル毎に対応する分岐後アドレス51, 52, ..., 5nを次の分岐命令割込み時まで記憶しておく分岐後アドレス記憶部5と、命令種別、且つ、アドレス指定形式別の命令実行回数をモジュール毎に対応させて記憶するアドレス指定形式別実行数記憶部6と、モジュール毎の測定結果リストが出力される出力装置7と、命令種別、且つ、アドレス指定形式別の命令実行時間を示すアドレス指定形式命令実行時間対応表8とから構成されている。

主記憶装置4には、モジュール41, 42, ..., 4nとから構成する測定対象プログラムが存在し、それぞれのモジュールの先頭アドレスはS1, S2, ..., Sn番地で表わされ、同じく、終了アドレスはE0, E1, ..., Enとして表わされている。そしてモジュールの先頭アドレスS1, ..., Sn番地からは、それぞれモジュールの先頭

であることを示し、且つ、それぞれに対応するモジュール名(aaaaa, bbbbb, ..., nnnnn)を含むモジュール先頭識別語41M, 42M, ..., 4nMを持つ。

アドレス指定形式別命令実行数記憶部6の内容は、測定対象プログラムを構成するモジュールのモジュール名(aaaaa, bbbbb, ..., nnnnn)と先頭アドレス(S1, S2, ..., Sn)と終了アドレス(E1, E2, ..., En)とを示すモジュール範囲情報61M, 62M, ..., 6nM(それぞれ、モジュール41, 42, ..., 4nに対応)と、モジュール範囲情報61M, 62M, ..., 6nMで示されるモジュール毎に対応し、且つ、命令の区別を示す命令種別600とアドレス指定形式の区別を示すアドレス指定形式別機601に対応し命令の実行回数を記憶するアドレス指定形式別命令実行回数記憶情報61, 62, ..., 6n(それぞれモジュール41, 42, ..., 4nに対応)とを含む。

また、アドレス指定形式別命令実行時間対応表

8は、命令の区別を示す命令種別別80、命令種別別80の命令毎に対応しアドレス指定形式AS1, AS2, ..., ASn毎に実行時間を示すアドレス指定形式別命令実行時間81, 82, ..., 8nとを含む。

次に、このように構成された本実施例のプログラムの命令実行数測定方式の動作について説明する。

まず、モジュール41, 42, ..., 4nから成る測定対象プログラムの優先レベルを1と仮定した場合、優先レベル番号1と測定対象プログラムの範囲(S1番地とEn番地)とが入力装置1から入力される。

入力情報解析部20は、この入力された優先レベル番号1と測定対象プログラムの範囲とを制御部21に通知する。この通知を受けた制御部21は、優先レベル番号1を分岐命令割込みモードにして、分岐命令割込機構30を起動すると共に、優先レベル番号1に対応すると分岐後アドレス記憶部5内の分岐後アドレス(分岐後アドレス51)をゼ

ロで初期化する。

また、測定対象プログラムの範囲はモジュールサーチ部22に通知され、この通知によってモジュールサーチ部22は、S1番地からEn番地の範囲にあるモジュールをサーチし、モジュール名(aaaaa, bbbbb, ..., nnnnn)と先頭アドレス(S1, S2, ..., Sn)と終了アドレス(E1, E2, ..., En)とをアドレス指定形式別命令実行数記憶部6内のモジュール範囲情報61M, 62M, ..., 6nMに保持するとともに、モジュール範囲情報61M, 62M, ..., 6nMのそれぞれに対応するアドレス指定形式別命令実行回数記憶情報61, 62, ..., 6nをゼロで初期化する。

この後、主記憶装置4内での測定対象プログラムが起動されて分岐命令が実行されると、中央処理装置3の分岐命令割込機構30は分岐先のアドレスで分岐命令割込みを発生させ、プログラム命令実行数測定装置2の制御部21を動作させる。

制御部21は、分岐命令割込機構30によって優先レベル番号1と測定対象プログラム内の分岐

命令自身のアドレスである分岐前アドレスとこの分岐命令による分岐先である分岐後アドレスとが通知されると、分岐後アドレス記憶部5内の優先レベル番号1に対応する分岐後アドレス51の内容が示すアドレスから、この分岐命令割込み時通知された分岐前アドレスまでの範囲内にある命令を解析するよう命令語解析部23に指示すると共に、同じく、この分岐命令割込み時通知された分岐後アドレスは、優先レベル番号1に対する次の分岐命令割込み時まで分岐後アドレス51に記憶しておく。

この後、命令語解析部23は、制御部21によって指示された範囲内の命令を解析し、この解析結果(命令種別、且つ、アドレス指定形式別の数)をアドレス指定形式別命令実行回数記憶情報(解析された範囲がS1番地からE1番地内であれば、アドレス指定形式別命令実行回数記憶情報61)内の命令種別列600とアドレス指示形式別欄601に対応させて加算する。

尚、制御部21は、分岐後アドレス51がゼロ

で初期化されている最初の分岐命令割込み時には、分岐命令割込機構30から通知された分岐後アドレスを分岐後アドレス51に記憶するだけで、命令後解析部23に対して命令の解析指示をしない。

以上の動作を行なった後、制御部21は測定対象プログラム41での分岐後アドレスからの実行再開を分岐命令割込機構30に指示し、次の分岐命令割込み待ちとなる。

ここで、第2図は、プログラム命令実行数測定装置2の命令語解析部23が解析する範囲を、モジュール41のアドレスP0からアドレスP4までのルーチンを例にとって、具体的に説明するための関連図である。

モジュール41に於いて、アドレスP0、P1、P2、P3、P4は分岐命令の分岐先アドレスであり、アドレスB1、B2、B3、B4は分岐命令自身のアドレスである。

まず、モジュール41のアドレスP0に分岐する分岐命令(図示していない)が実行されると、

分岐命令割込機構30によって分岐命令割込みが発生し、プログラム命令実行数測定装置2(の制御部21)が動作する。プログラム命令実行数測定装置2(の制御部21)は、分岐命令割込機構30から通知されるアドレスP0を分岐後アドレス51に記憶する(ここでは、アドレスP0に分岐する前の範囲に対する動作手順の説明を省略する)。

次に、モジュール41のアドレスB1での分岐命令が実行され、分岐先であるアドレスP1で分岐命令割込みが発生し、プログラム命令実行数測定装置2(の命令語解析部23)は、分岐命令割込機構30から通知されるアドレスB1とこのとき分岐後アドレス51が記憶しているアドレスP0との範囲(アドレスP0からアドレスB1まで)にある命令を解析して、その解析結果(命令種別、且つ、アドレス指定形式別の数)を、アドレス指定形式別命令実行回数記憶情報61内の命令種別列600とアドレス指定形式別欄601に対応させて加算する。

この後、プログラム命令実行数測定装置2(の制御部21)は、アドレスB1と共に通知されたアドレスP1を分岐後アドレス51に記憶する。

同様に、アドレスB2、B3、B4の分岐命令の実行によってそれぞれアドレスP2、P3、P4で分岐命令割込みが発生し、このとき、プログラム命令実行数測定装置2(の命令語解析部23)によって解析されるのは、それぞれアドレスP1からアドレスB2までの範囲と、アドレスP2からアドレスB3までの範囲と、アドレスP3からアドレスB4までの範囲である。

尚、分岐命令割込み時に、分岐命令割込機構30から通知されるのは、分岐命令自身のアドレス(B1、B2、B3、B4)と分岐命令の分岐先アドレス(P0、P1、P2、P3、P4)の他に、測定対象プログラム41の優先レベル番号(図示していない)もあり、この優先レベル番号によって分岐後アドレス51が選択可能となる。

また、分岐後アドレス記憶部5内の分岐後アドレスは、優先レベルに対応させて記憶できるため、

以上述べた優先レベル1で走行する測定対象プログラム単独の測定だけでなく、複数の優先レベルを同時に測定することが可能である。

最後に測定が終了し、優先レベル番号1の分岐命令割込みモード解除指令が入力装置1から入力される。

入力情報解析部20は、この入力された優先レベル番号1に対する分岐命令割込みモード解除指令を制御部21に通知する。この通知を受けた制御部21は、優先レベル番号1の分岐命令割込みモードを解除して、分岐命令割込み機構30を停止すると共に、優先レベル番号1に対する測定結果を編集出力するように測定結果編集出力部24に指示する。この指示を受けた測定結果編集出力部24は、アドレス指定形式別命令実行回数記憶部6とアドレス指定形式別命令実行時間対応表8とともに、モジュール毎の実行時間を算出し（アドレス指定形式別命令実行回数記憶部61、62、…、6n内の実行回数とアドレス指定形式別命令実行時間対応表8内の実行時間とを命令種別、且つ、

アドレス指定形式別に対応させて乗算し、乗算結果はモジュール毎に合計する）、この算出結果を出力装置7に出力する。

更に、アドレス指定形式別命令実行時間対応表8で示される命令の実行時間は、同じ命令であっても計算機の種類によって異なるため、命令の種類毎に、且つ、計算機の種類毎に命令の実行時間に対応させるように構成し、計算機の種類毎にプログラム毎の実行時間を測定することが可能となる。

〔発明の効果〕

以上説明したように本発明は、分岐命令割込みを利用してプログラムの命令実行数を測定するため、プログラムの内容を全く知らなくとも測定することができ、測定のための手続きも簡単であり、さらに測定のための時間も机上で計算する場合に比較して大幅に減少する。

また、編集出力されるリストには、モジュール毎に実行時間と命令種別、且つ、アドレス指定形式別の命令実行回数が出力されるため、プログラ

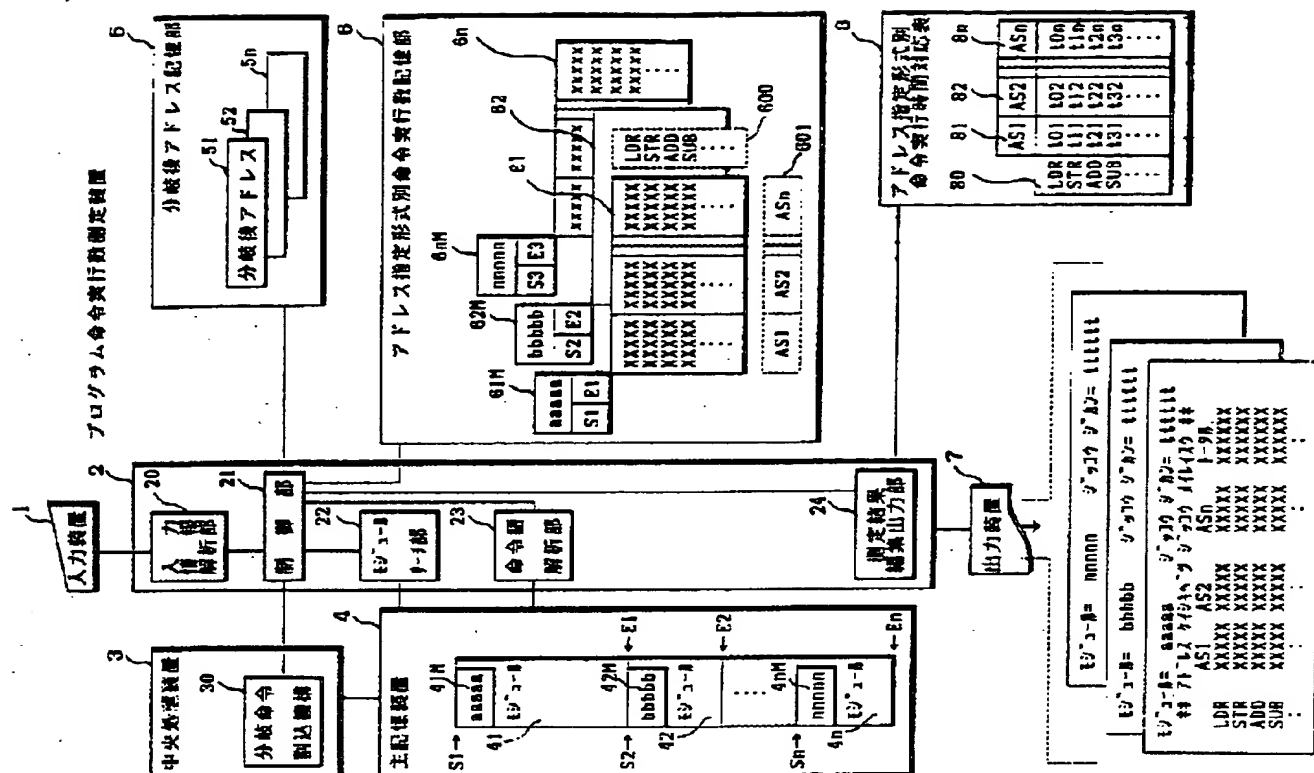
ム（特に、制御プログラム）の性能を改善する場合には、大変参考になる。

図面の簡単な説明

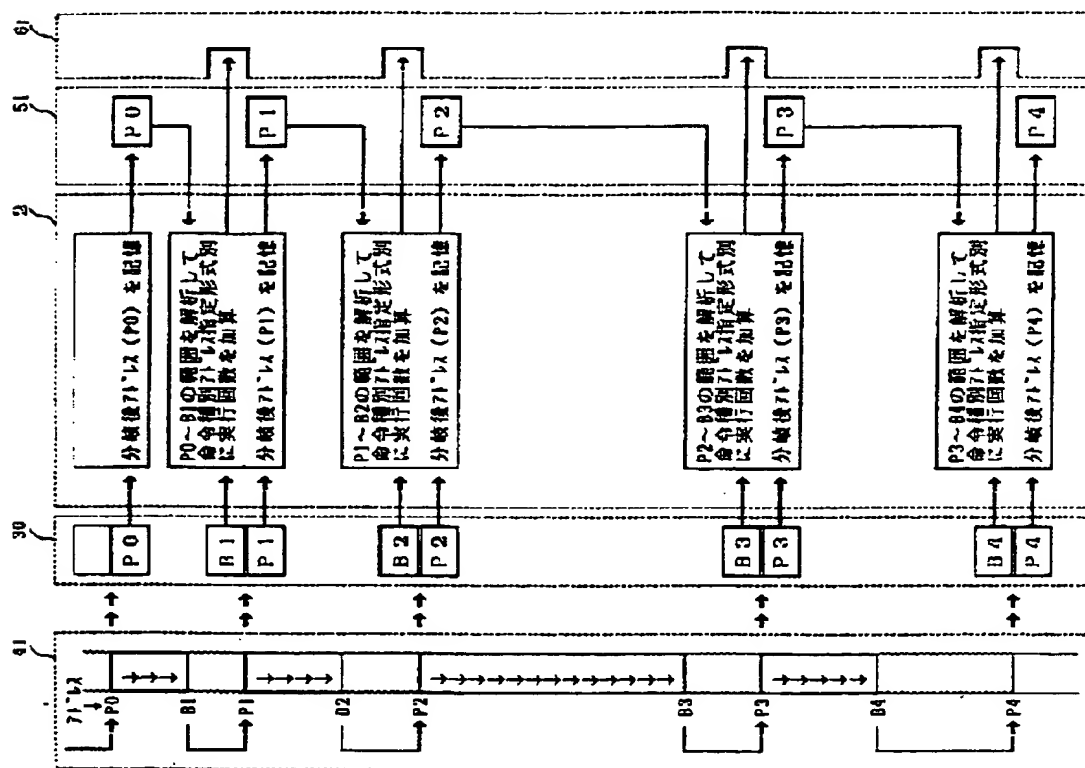
第1図は本発明の一実施例を示すブロック図、第2図はプログラム命令実行数測定装置2の命令語解析部23が解析する範囲を具体的に説明するための関連図である。

1…入力装置、2…プログラム命令実行数測定装置、3…中央処理装置、4…主記憶装置、5…分岐後アドレス記憶部、6…アドレス指定形式別命令実行回数記憶部、7…出力装置、8…アドレス指定形式別命令実行時間対応表。

代理人 弁理士 内 原 晋



跃



2 果